

Proiectarea, realizarea si testarea preliminara a componentelor FEE si DAQ necesare implementarii TRD-Bucharest in mCBM

1. Introducere

In perioada 2016-2017, in cadrul DFH a fost dezvoltat un sistem de achizitie de date de tip free-running avand ca scop testarea detectorului TRD cu pad-uri triunghiulare dezvoltat, de asemenea, in cadrul DFH. Avand in vedere scopurile limitate urmarite, sistemul a fost dezvoltat cu intentia de a furniza o solutie simpla din punct de vedere structural si implementarea cu costuri minime prin folosirea a cat mai multe componente comerciale ieftine, fara a urmari atingerea unui gabarit suficient de mic si integrarea in lanturi de achizitie complexe. Sistemul a folosit ASIC-ul analogic FASP dezvoltat, de asemenea, in cadrul DFH, pentru care a fost dezvoltata o cartela de achizitie (FASPRO) care a fost conectata la o cartela de dezvoltare ieftina cu un FPGA ZYNQ.

Sistemul de achizitie dezvoltat a permis caracterizarea detectorului, aratand ca acesta are un comportament bun la rate de numarare mari (rata maxima atinsa a fost estimata la $\sim 50 \text{kpart/cm}^2 \text{s}$) precum si o imbunatatire semnificativa a rezolutiei de pozitie pe axa y, aceasta fiind caracteristica definitorie a detectorului. De asemenea, a permis identificarea unor deficiente in ceea ce priveste electronica front-end, cea mai importanta fiind existenta unei oscilatii in ultimul canal, care nu a permis inlantuirea ASIC-urilor FASP.

Din analiza rezultatelor obtinute cu vechiul sistem de achizitie a rezultat, de asemenea, ca ar fi utila cresterea frecventei de lucru a ASIC-ului FASP de la 40 la 80 MHz, acest lucru ducand la o foarte utila scadere a „timpului mort” al lantului de detectie. Testele au aratat ca ASIC-ul FASP poate suporta o frecventa de 80 MHz, chiar mai mult. Insa frecventa nu a putut fi crescuta in vechiul sistem de achizitie deoarece ADC-urile folosite in cartela FASPRO nu suportau mai mult de 40 MHz.

In vederea integrarii in lantul de achizitie de date al colaborarii CBM [1] si urmarind participarea la instalatia de test mCBM, a fost necesara reproiectarea cartelelor de achizitie in vederea reducerii gabaritului precum si pentru conectarea la DAQ-ul mCBM. In acest sens, au fost dezvoltate mai multe cartele electronice, de diverse complexitati, descrise in continuare. Solutia astfel dezvoltata trebuie vazuta ca una intermediara, adecvata pentru mCBM, urmand ca pentru experimentul CBM sa fie dezvoltata o cartela “finala”, care sa inglobeze toate cerintele evidentiate in testele mentionate mai sus.

In paralel cu dezvoltarea acestor cartele, a continuat dezvoltarea ASIC-ului FASP la versiunea 03 , cele doua dezvoltari fiind corelate.

2. Caracteristici ale microcircuitului de tip ASIC FASP-03 pentru operarea TRD la mCBM

Microcircuitul **FASP-03**, de tip **ASIC** (Application Specific Integrated Circuit) este destinat preluarii semnalelor padurilor detectorilor pentru radiatia de tranzitie (**TRD**) si prelucrarea convenabila a acestora, compatibila cu cerintele unitatilor de achizitie care le succed. Un microcircuit **FASP-03** are un numar de 16 paduri de intrare care se conecteaza la o serie succesiva de 16 paduri de semnal ale detectorului **TRD**, prelucrand astfel 16 canale de semnal.

Din punct de vedere al designului, întreaga activitate **R&D** s-a desfășurat în **Departamentul de Fizica Hadronică (DFH)** din cadrul **IFIN-HH**. Fișierele software necesare realizării fizice a microcircuitului **FASP-03** au fost elaborate și generate folosind pachetele software **CADENCE**.

Realizarea fizică a microcircuitului **FASP-03** s-a făcut de către firma **AustriaMicrosystems-AG (AMS)** în conformitate cu fișierele software generate la **DFH**, în etapa de design. Tehnologia folosită este de tip CMOS 0.35 micrometri B4C3 NWELL.

Dimensiunea reală a microcircuitului **ASIC FASP-03** este de 3430,80 micrometri X 4030,80 micrometri, fără scribe-line (linia de separare de chipurile identice pe wafferul de siliciu).

2.1 Blocurile functionale constituente ale microcircuitului FASP-0

Microcircuitul FASP-03 este alcătuit din următoarele blocuri functionale: a) 16 canale identice de prelucrare ale semnalelor detectorului TRD și b) un set de circuite conune tuturor celor 16 canale de prelucrare de semnal

Componentele proprii ale unui canal de prelucrare de semnal de la detector:

a.- Preamplificator de sarcină:

Acesta are rolul de a amplifica semnalul unui pad al detectorului TRD având o contribuție de zgomot cât mai redusă. S-a ales un preamplificator de sarcină, varianta V.Radeka, de tip folded cascode care asigură un zgomot foarte mic.

b.- Circuit pol-zero:

Are rolul de a diferenția semnalul de la ieșirea preamplificatorului de sarcină, permițând ca o gamă largă de frecvențe de semnal să fie amplificate, menținând în același timp o linie de bază a semnalului cu variații mici.

c.- Filtru RC de ordinul doi de "tip dublu T":

Funcția acestuia este de a forma semnalul de la ieșirea circuitului "pol zero" aproximându-l cu o semi-Gaussiană, limitând banda de trecere a semnalului, cu consecința directă de reducere a zgomotului.

d.- Filtru RC de ordinul doi de "tip Sallen-Key":

Este dispus la ieșirea filtrului de tip dublu T, având funcțiuni similare de micșorare a zgomotului și de aproximare semi-Gaussiană mai bună.

e.- Circuit pentru detectia valorii de vârf (peak-detector) a semnalului semi-Gaussian:

Acest circuit plasat la ieșirea celui de al doilea filtru RC are rolul de a detecta și menține valoarea de vârf a semnalului de forma semigaussiană, permițând canalului de semnal de a furniza două tipuri selectabile de semnal, la ieșirea sa : semiGaussian sau valoarea maximă a acestuia ("flat-top").

f.- Circuite pentru generarea markerilor de timp și semnale logice pentru conexiunea cu un ADC:

Pentru o mai ușoară interfatare cu un ADC (convertor analog digital), fiecare canal de semnal de la detector dispune de circuite logice de control al interfatarei. Acestea permit o interfatare ușoară cu un ADC comercial și în același timp pot fi privite ca elemente necesare conectării cu un viitor microcircuit ADC de tip ASIC. Aceste circuite logice de interfatare primesc de la circuitele descrise anterior informația logică de trecere prin pragul setat de discriminare pentru semnale de la detector considerate utile, momentul detecției valorii maxime a semnalului semi-Gaussian generat, precum

si semnalele logice mentionate anterior de la canalele de semnal adiacente, anterior si ulterior plasate in raport cu canalul in cauza.

Componente comune tuturor celor 16 canale de procesare de semnal de la detector:

a.- Circuite pentru procesarea tensiunilor de referinta V_{ref} si de prag V_{th} :

Acestea sunt setate din exterior si aplicate tuturor canalelor microcircuitului FASP-03, printr-o retea de amplificatoare- buffere si oglinzi de curent.

b.- Circuite pentru generarea valorilor tensiunilor de polarizare:

Aceste circuite, plecand de la unica sursa de alimentare de 3,3V genereaza diferite valori de tensiuni de polarizare pentru tranzistoarele de tip NMOS si PMOS ale etajelor de amplificatoare normale sau de tip cascoda.

c.- Circuite buffere analogice si digitale de intrare si iesire rezistente la supratensiuni.

Aceste circuite se aleg din librarii standard in conditiile in care va lucra microcircuitul si in functie de optimizarea zgomotului introdus.

2.2 Specificatii pentru microcircuitul se tip ASIC FASP-03

Mai jos sunt date principalele caracteristici ale microcircuitului FASP-03:

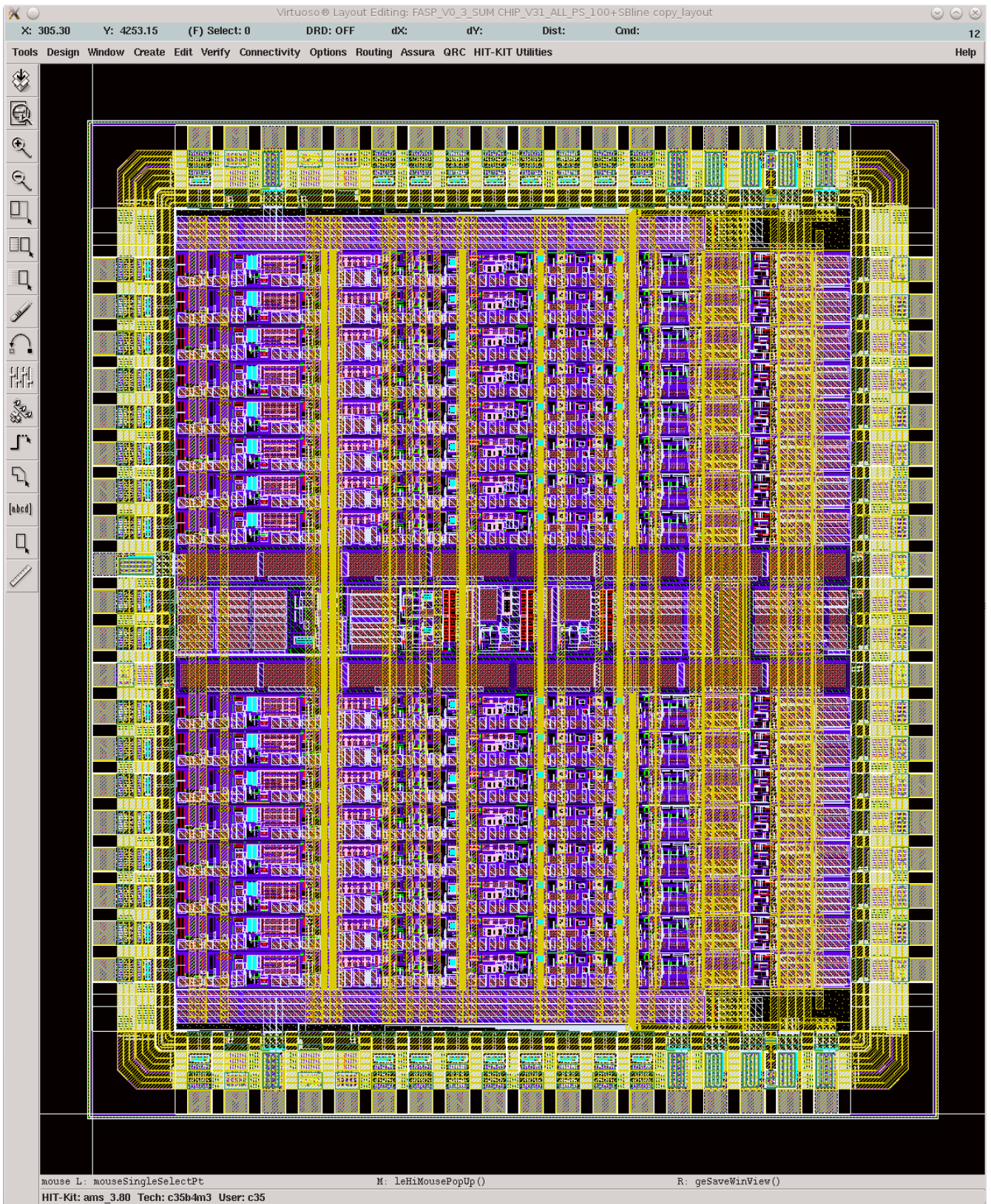
Rata medie a impulsurilor la intrare	0.....2 MHz
Capacitatea padurilor detectorului	25 pF
Numar de canale de procesare de semnal	16
Polaritatea semnalului de intrare	pozitiva
Imperechiere canale adiacente	da
Gama sarcinei de intrare	0,15 fC.....165 fC
Tip de intrare	DC asimetrica
Amplificare samnal analogic	6,2 mV/fC
Timp de formare(St)	100 ns
Tip iesire analogica (selectabila digital, 1 bit)	semi-Gaussian sau platou
Polaritate iesire analogica	pozitiva, asimetrica
Gama dinamica de iesire	0.....1 V
Nivel DC iesire, continuu ajustabil	0,2 v.....1 V
Iesire semi-Gaussiana FWHM	290 ns
Iesire platou (durata)	14 perioade de clock
Zgomot ENC ($C_{det}=25pF$)	940e
Interferenta (semnal maxim doar intr-un singur canal)	0,12%
Interferenta (semnal maxim in 15 canale simultan)	0,22%
Nivel autotrigger, ajustabil continuu	0.....165 fC
Iesire semnal logic comun	negativ, aprox. 20 ns
Sincronizare clock extern	max. 80 MHz
Iesire logica per canal sincronizata cu clockul	da
Mod de declansare semnal logic per canal (1bit sel.)	depas.prag/detectie ampl.max:Amax
Semnal logic per canal (iesire semi-Gaussiana)	neg, 20 ns, depres. prag/20 ns Amax
Semnal logic per canal (iesire platou)	neg, 20 ns, depres. prag/14Tck Amax
Trigger in canale vecine (1 bit sel.)	da, on/off

2.3 Specificatiile padurilor pentru microcircuitul ASIC FASP-03

In tabelul de mai jos se gaseste semnificatia numelelor padurilor microcircuitului ASIC FASP-3

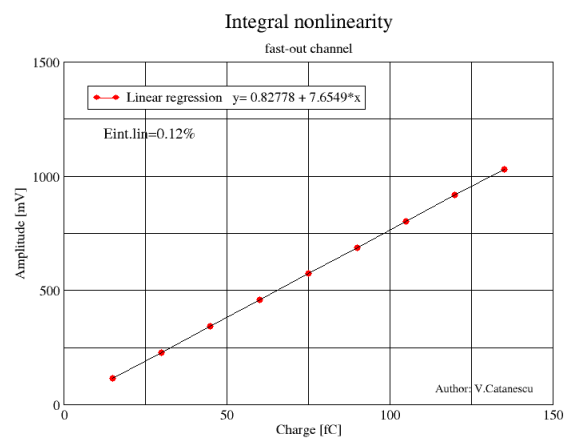
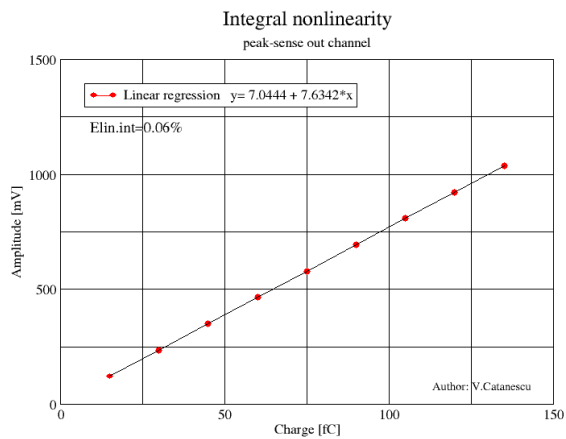
Denumire pad	Specificatie
<i>input_0....input_15</i>	intrare semnal analogic pentru : channel_0....channel_15
<i>out_0....out_15</i>	iesire semnal analogic pentru: channel_0....channel_15
<i>adc-cs_0....adc-cs_15</i>	Iesire semnal logic: adc chip select channel_0....channel_15
<i>nb-prv</i>	Intrare semnal analogici in channel_0 de la nb-nxt al chipului precedent
<i>nb-nxt</i>	Iesire semnal analogic din channel_15 in nb-prv al cipului urmator
<i>gnda-det_ref</i>	Referinta numai pentru masa detectorului, conectata la <i>gnda</i>
<i>Vref</i>	Inrare dc pentru setarea nivelului de referinta (base line) pentru toate canalele
<i>Vth</i>	Intrare dc pentru setarea nivelului valorii de prag pentru toate canalele
<i>ch_0_nb_sel</i>	Intrare nivel logic pentru identificarea primului chip dintrun lant
<i>out-sel</i>	Intrare nivel logic pentru selectia semnalului de iesire: semi-Gaussian/platou
<i>nb_en</i>	Intrare nivel logic pentru selectia/blocarea triggerilor canalelor invecinate
<i>th_clk_sel</i>	Intrare nivel logic pentru extensia simpla/dubla a duratei depasirii pragului Th
<i>rst_in</i>	Intrare nivel logic, impuls pozitiv pentru resetarea tuturor canalelor
<i>osc_in</i>	Intrare impulsuri repetitive, nivele logice, frecventa maxima 80 MHz
<i>ev</i>	Iesire nivel logic, activ 0, OR al tuturor canalelor cu semnale peste prag
<i>nxt_CH_trg_0_out</i>	Intrare logica, activ 0 de la “ <i>nxt_CH_trg_0_out</i> “ al chipului anterior din lant
<i>prv_CH_trg_15-out</i>	Iesire logica, activ 0 catre “ <i>nxt_CH_trg_0_in</i> “ al chipului anterior din lant
<i>nxt_CH_trg_0_out</i>	Iesire logica, activ 0 catre “ <i>nxt_CH_trg_15_in</i> ” al chipului urmator din lant
<i>nxt_CH_trg_0_in</i>	Intrare logica, activ 0 de la “ <i>prv_CH_trg_15-out</i> ” al chipului urmator din lant
<i>Vdda</i>	Tensiune de alimentare pentru sectiunea analogica a ASIC-ului FASP-03
<i>Vdd</i>	Tensiune de alimentare pentru sectiunea digitala a ASIC-ului FASP-03
<i>gnda</i>	Masa pentru sectiunea analogica a ASIC-ului FASP-03
<i>gnd</i>	Masa pentru sectiunea digitala a ASIC-ului FASP-03

2.4 Layoutul microcircuitului ASIC FASP-03 (AMS 0.35 microni B4 C3)



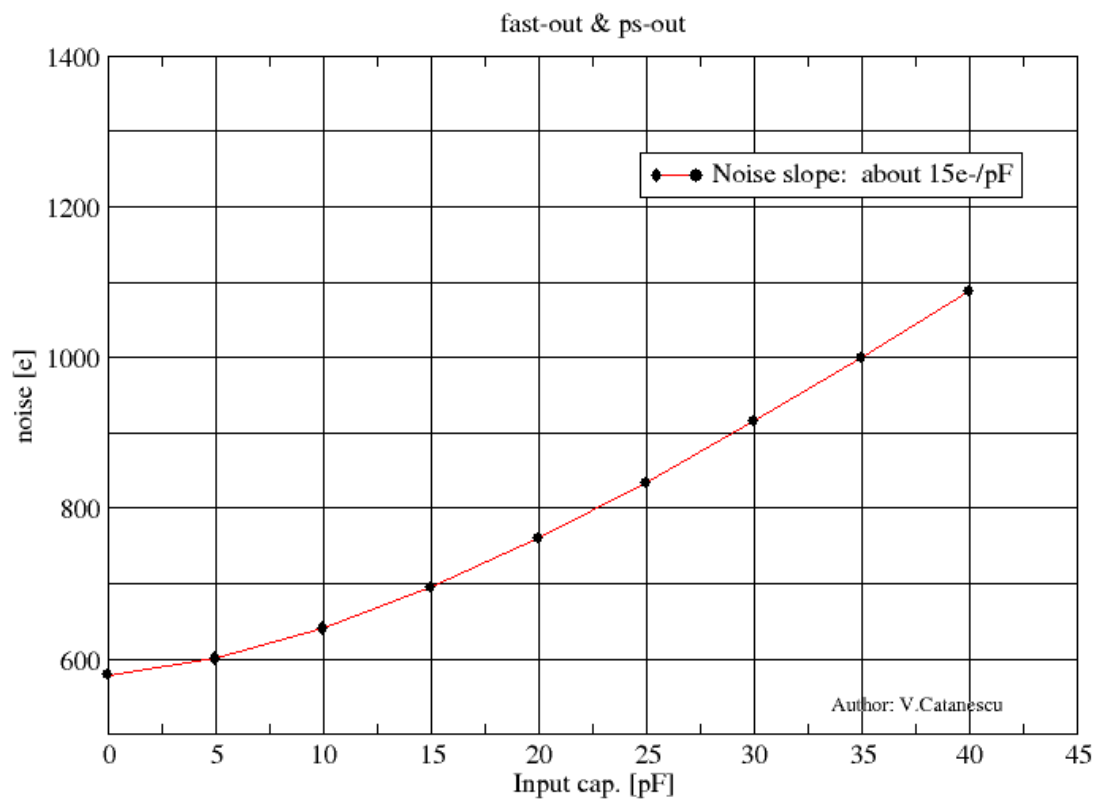
2.5 Rezultate experimentale obtinute din simulari

2.5.1. Linearitatea integrala

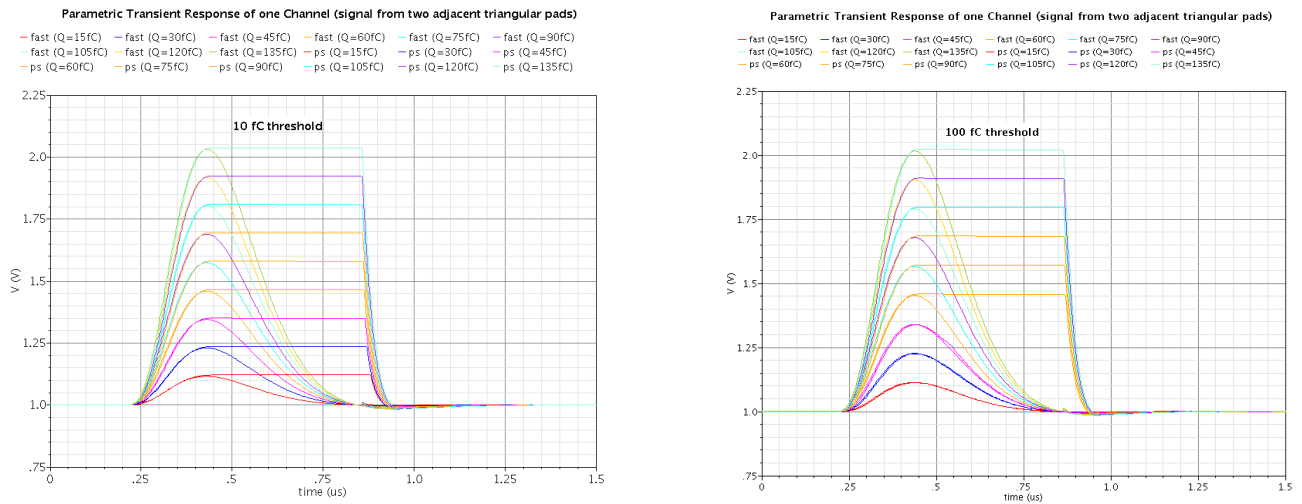


2.5.2. Caracteristica de zgomot

Noise variation with channel input capacitance

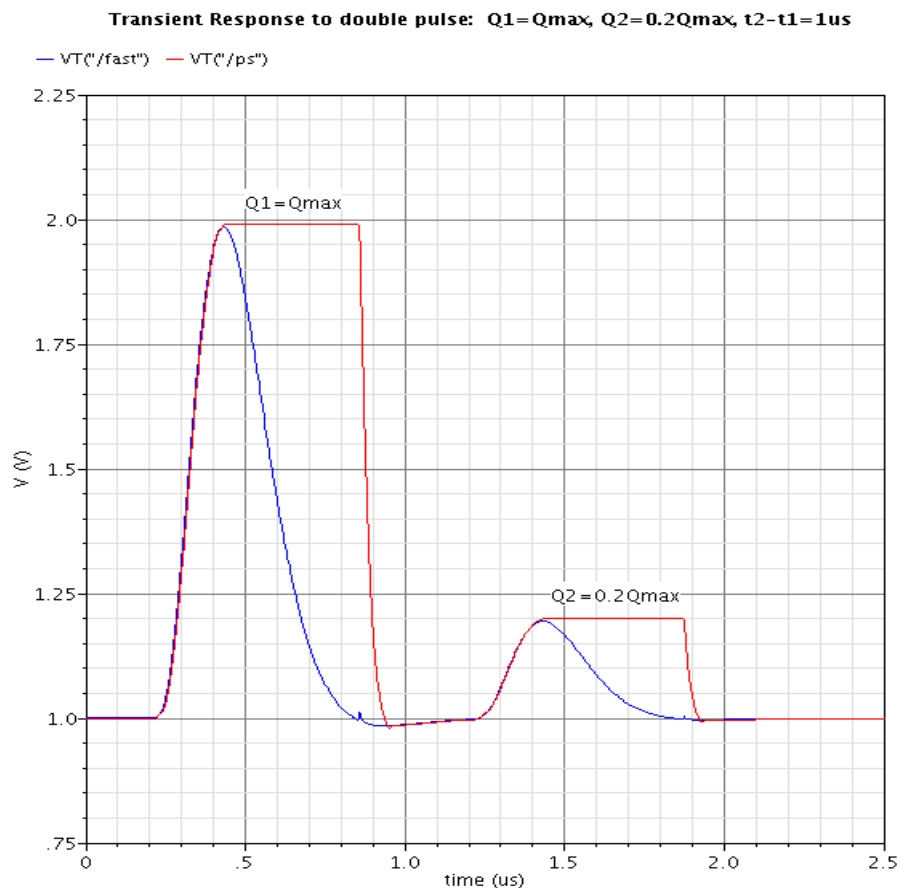


2.5.3. Raspunsul unui canal de procesare de semnal la sarcini de intrare variabile (doua praguri diferite)

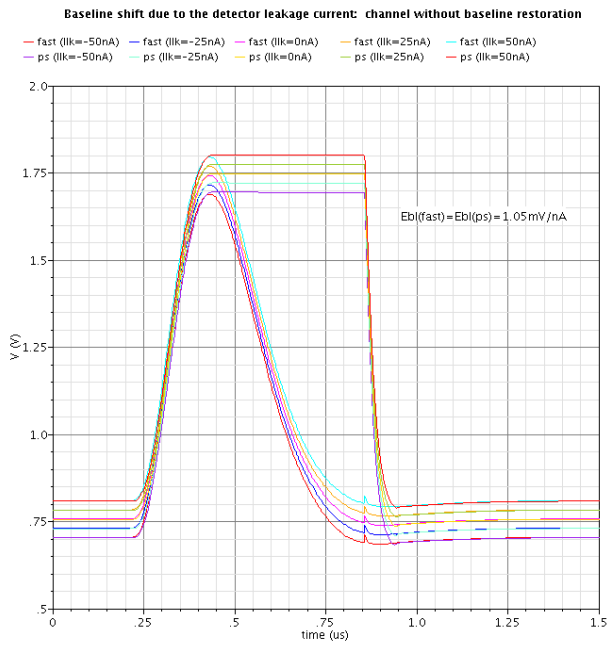


Nota: Pentru semnalele de intrare sub nivelul pragului setat, canalul nu genereaza la iesire semnal de tip platou

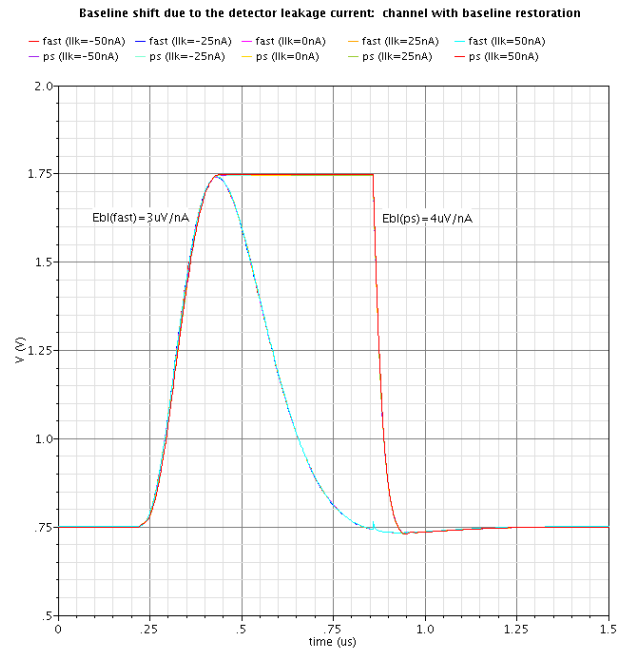
2.5.4. Raspunsul unui canal de procesare de semnal la dublu puls cu $\Delta t = 1\mu s$



2.5.5. Răspunsul unui canal de procesare de semnal la curentul rezidual (leakage) și restabilirea variației liniei de baza produsă de acesta

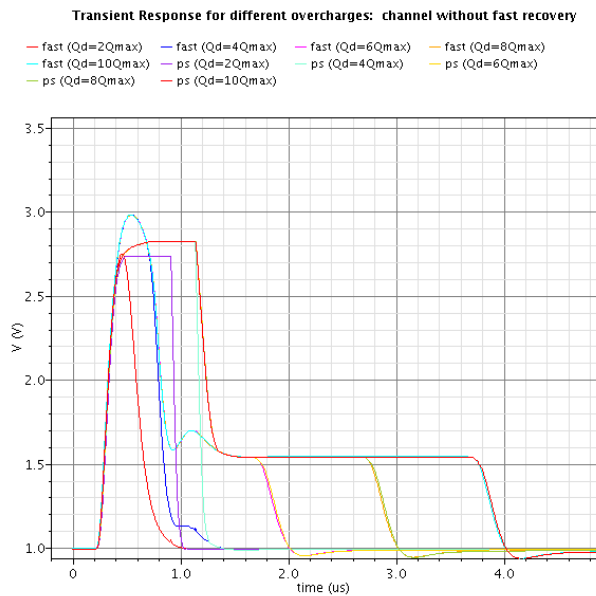


Fără restabilire a liniei de baza

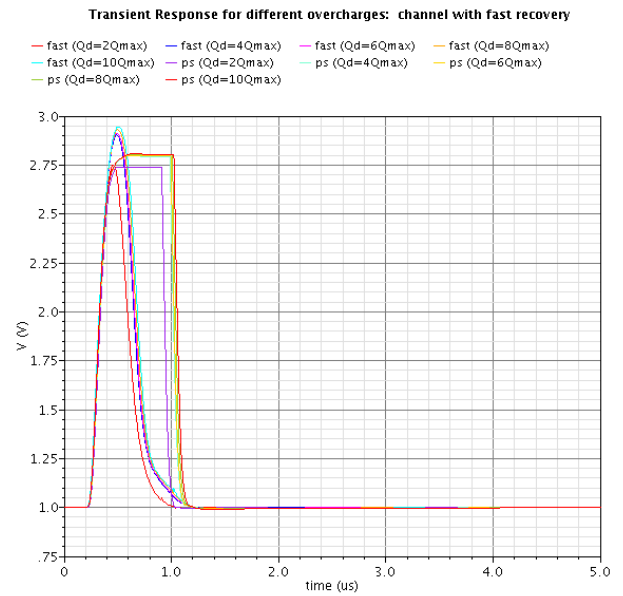


Cu restabilire a liniei de baza

2.5.6. Răspunsul unui canal de procesare de semnal la suprasarcini de semnal, revenirea rapidă la apariția suprasarcinilor



Fără revenire rapidă după suprasarcini de semnal



Cu revenire rapidă după suprasarcini de semnal

3. Reducerea dimensiunii cartelei de bonding: cartela FASP03Bv3/v4 si cartela de adaptare FADT0302.

In vechiul sistem de achizitie, ASIC-ul FASP era conectat la o cartela special proiectata in acest sens (cartela de bonding) de dimensiune 46x42 mm. Aceasta dimensiune permitea folosirea unor conectori ieftini (de tip Bergstack) si usor de conectat, dar era prea mare pentru a permite montarea FEE paralel cu detectorul. In mod ideal, am fi putut folosi pentru reducerea dimensiunii o capsula pentru circuite integrate. Totusi, solutiile pe care le-am identificat erau prea scumpe, avand in vedere numarul mic de ASIC-uri pe care urma sa le producem, sau aveau dimensiuni prea mari. De asemenea, numarul mic de ASIC-uri disponibile in faza de testare facea necesara posibilitatea mutarii acestora intre diverse cartele.

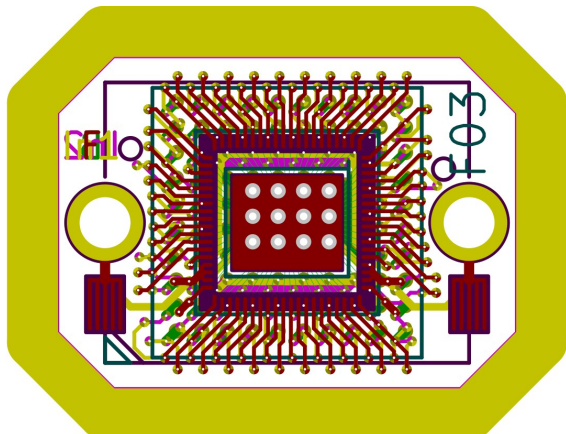


Figura 1: Cartela FASP03Bv3 - design

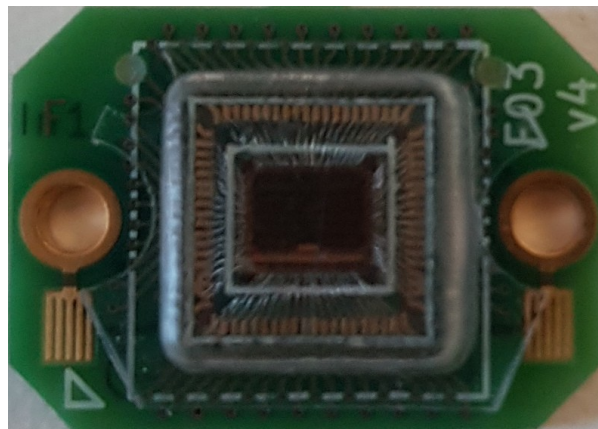


Figura 2: Cartela FASP03Bv4

Din acest motiv am optat pentru dezvoltarea unei noi cartele de bonding, FASP03Bv3/v4 (diferentele dintre v3 si v4 sunt nesemnificative, au fost comandate la 2 producatori diferiti), care sa foloseasca un conector prin compresie ZA1-10-2 disponibil comercial. Dimensiunea cartelei FASP03Bv3/v4 este de 18x13 mm, apropiata de dimensiunea care se poate atinge cu o incapsulare de tip BGA, pe care o avem in vedere pentru varianta „finala” (pentru experimentul CBM).

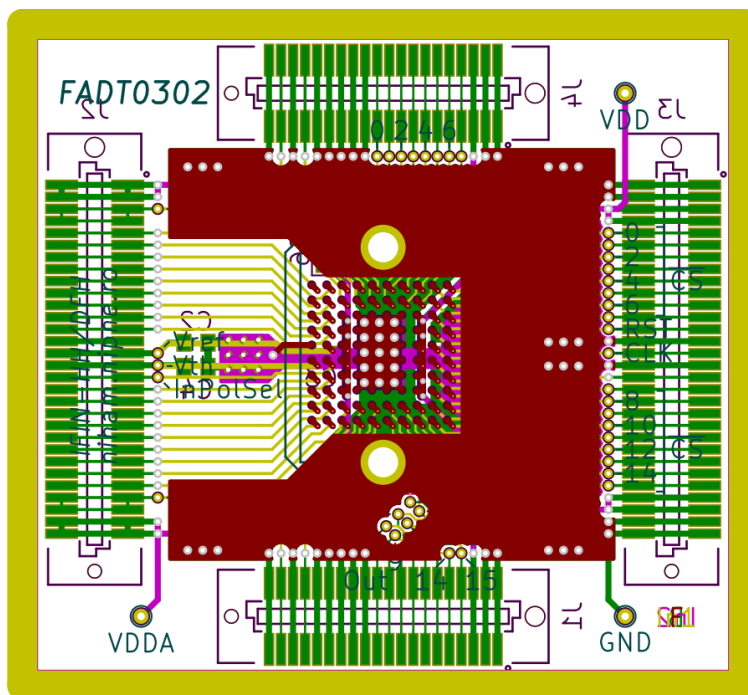


Figura 3: Cartela FADT0302 - design

Pentru a putea folosi noua cartela de bonding si in vechiul sistem de achizitie precum si in cartela de test dezvoltata pentru vechea cartela de bonding, am dezvoltat o cartela de adaptare, FADT0302, care permite folosirea ASIC-urilor FASP instalate in FASP03Bv3/v4 in locul vechii cartele de bonding.

Folosind cartela FADT0302 am putut folosi ultimele versiuni ale ASIC-ului FASP (versiunea 03 si 04, montate pe cartela FASP03Bv3/v4) in vechiul sistem de achizitie. Testele au aratat acelasi comportament, inclusiv in ceea ce priveste oscilatia canalului 15.

Investigatii mai detaliate folosind cartela FADT0302 au indicat ca potentiala cauza pentru oscilatie un traseu de pe aceasta cartela (existent si pe vechea cartela de bonding) apropiat de traseul de intrare corespunzator canalului 15.

4. Cartela de test FASP-TB3

Avand in vedere ca semnalele de intrare in ASIC-ul FASP sunt foarte mici si cu o variatie rapida, acesta trebuie sa realizeze o amplificare mare a acestora fara a reduce largimea de banda, ceea ce ar duce la pierderea informatiei. Acest fapt implica doua cerinte partial contradictorii in ceea ce priveste traseele de intrare. Pe de o parte, capacitatea parazita la intrare trebuie sa fie cat mai mica pentru a nu atenua semnalele rapide, pe de alta parte acestea trebuie sa fie bine izolate de restul semnalelor. Contradictia vine din faptul ca cerinta privind capacitatea de intrare este usor de realizat tinand traseele departe de plane de masa iar cerinta de izolare poate fi indeplinita folosind plane de masa in apropierea traseelor „sensibile”. In cazul cartelelor FASP03Bv3/v4 si FADT0302, precum si a cartelei de bonding anterioare, a fost urmarita cu prioritate cerinta privind capacitatea de intrare. Din acest motiv nu au fost plasate plane de masa in vecinatatea traseelor de intrare, fapt ce poate fi observat cu usurinta in design-ul cartelei FADT0302 unde planele de masa sunt decupate in dreptul traseelor de intrare, precum si in faptul ca pe cartela FASP03Bv3/v4 nu sunt folosite plane de masa. Avand in vedere oscilatia observata in canalul 15, a fost necesara schimbarea design-ului in sensul permitterii planelor de masa pentru a indeplini mai bine cerinta de izolare.

Pentru a putea identifica daca principala cauza a oscilatiei se gaseste pe cartela de bonding sau in felul in care aceasta este conectata pe cartela de achizitie, a fost dezvoltata o noua cartela de test, FASP-TB3, proiectata pentru a folosi direct cartela FASP03Bv3/v4, fara cartela de adaptare, si avand plane de masa plasate in vecinatatea traseelor de intrare, precum si un design care urmareste in special izolarea acestora de restul semnalelor, in special de semnalul analogic care este transmis de la un ASIC FASP la urmatorul.

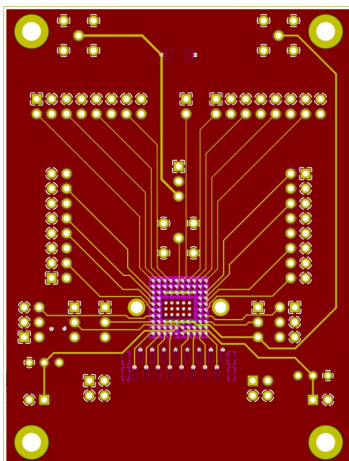


Figura 5: Cartela de test FASP-TB3 - design

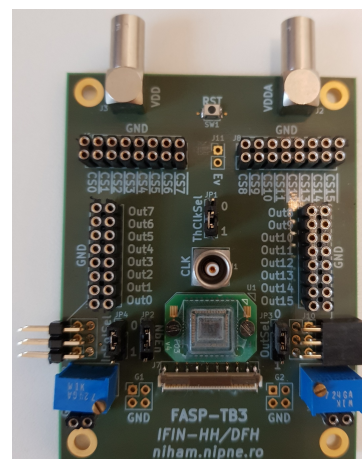


Figura 4: Cartela de test FASP-TB3

Cartela de test FASP-TB3 a fost proiectata urmarind plasarea FASP si a conectorului pentru semnalele de intrare cat mai apropiata de plasarea existenta pe cartela de achizitie FSPRO-DR, care a fost dezvoltata in paralel cu aceasta.

Folosind cartela de test FASP-TB3 si cartela de bonding FASP03Bv3/v4 am putut observa ca oscilatiile canalului 15 este mult redusa, dar exista in continuare un crosstalk intre semnalul analogic care este transmis intre ASIC-urile FASP si canalele de intrare 0-3, 13-15 care sunt aproape de acesta pe cartela de bonding. Avand in vedere buna izolarea a semnalelor de intrare pe cartela de test, am concluzionat ca acest crosstalk este cauzat in cea mai mare parte de cei ~ 4mm de traseu al semnalului analogic dintre FASP-uri care este aproape de traseele de intrare. Pentru eliminarea acestuia a fost necesara reprojectarea cartelei de bonding.

5. Cartela de bonding FASP03Bv5

Avand in vedere informatiile obtinute folosind cartela de bonding FASP03Bv3/v4 si cartela de test FASP-TB3, am proiectat o noua cartela de bonding, FASP03Bv5, in care au fost folosite plane de masa iar design-ul a urmarit cu prioritate izolarea traseelor de intrare. Complexitatea cartelei a crescut, aceasta avand 6 straturi, fata de cele 4 ale cartelei FASP03Bv3/v4. De asemenea, are o structura asimetrica, fabricarea ei fiind mai dificila.

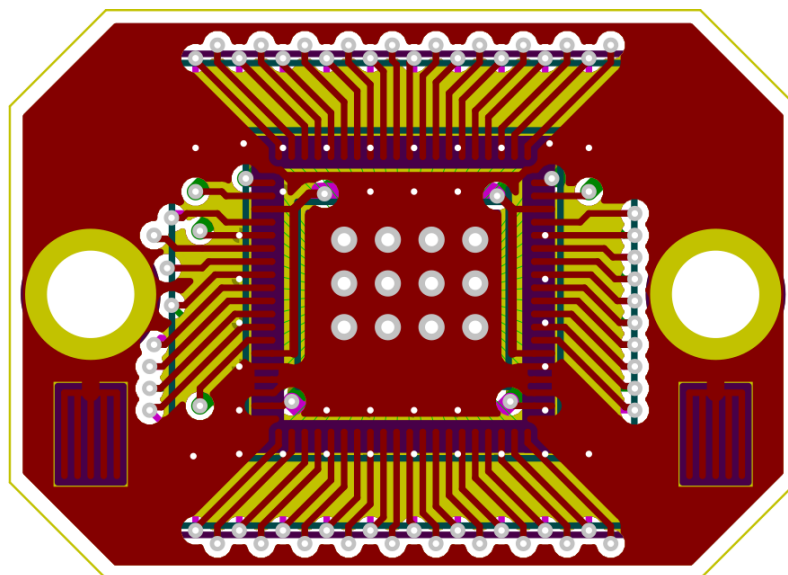


Figura 6: Cartela FASP03Bv5 - design

Folosind cartela FASP03Bv5 am observat, folosind 2 cartele de test FASP-TB3, disparitia oscilatiilor din canalul 15 si am putut realiza „inlantuirea” ASIC-urilor FASP.

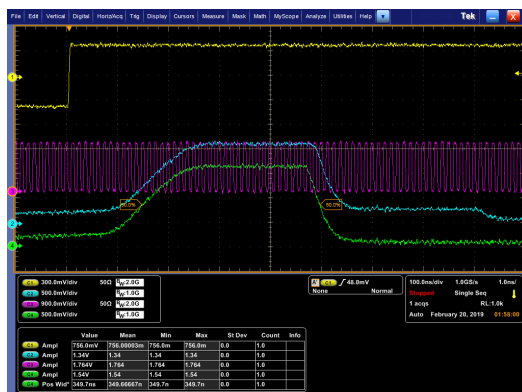


Figura 7: Semnalul FT pentru canalele 15, respectiv 0, a 2 FASP



Figura 8: Semnalul NCS pentru canalele 15, respectiv 0, a 2 FASP

Diferenta dintre FASP03Bv5 si FASP03Bv3/v4 tine doar de structura interna a acestora, nu si de interfata. Din acest motiv, cartela FASP03Bv5 poate fi folosita in locul FASP03Bv3/v4 in cartelele anterioare.

6. Cartela FASPRO-DR („FASP ReadOut-DetectorReady”)

Tot cu scopul de a reduce gabaritul sistemului de achizitie am dezvoltat o noua electronica front-end. Din motive ce tin de instalarea acesteia paralel cu detectorul si posibilitatea fizica de conectare a intrarilor de la detector si a iesirilor, aceasta este compusa din 2 cartele, una analogica, FASPRO-DR si una digitata, GETS. Spatiul existent nu a permis, in aceasta etapa, integrarea intregii electronici pe o singura cartela. De asemenea, fiind inca o etapa de dezvoltare, am preferat o solutie modulara, care permite refacerea diverselor componente in functie de observatii.

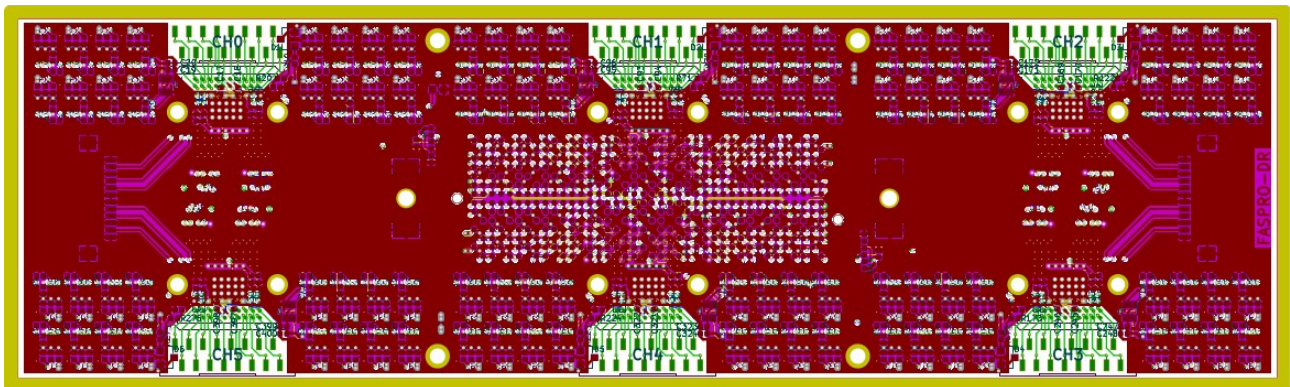


Figura 9: Cartela FASPRO-DR - design

Cartela FASPRO-DR este cea la care sunt legate, prin intermediul cablurilor de tip FFC, pad-urile detectorului. Permite instalarea a 6 ASIC-uri FASP montate pe cartele de bonding FASP03Bv3/v4/v5 si contine ADC-urile pentru cele 96 canale de achizitie. De asemenea, contine circuite auxiliare necesare (distribuitoare de ceas, adaptoare de nivel) precum si circuitele necesare pentru 2 senzori de temperatura PT1000 (plasati pe cele 2 fete). Am optat pentru instalarea acestor senzori de temperatura deoarece cartela este instalata intre detector si cartela ulterioara in lantul de detectie (GETS) si ne asteptam sa fie o temperatura mai mare in acea zona, ventilatia libera fiind redusa. Cei 2 senzori ne vor permite sa estimam daca este necesara o ventilatie mecanica. Tot din motivul ventilatiei reduse, pe cartela FASPRO-DR nu sunt instalate componente care pot degaja multa caldura, cum ar fi regulatoarele de tensiune liniare. Cartela FASPRO-DR depinde, din acest punct de vedere, de cartela ulterioara (GETS), la care este conectata prin intermediul unui conector cu 560 pini. Din acest motiv, testarea acesteia in configuratie „standalone” a fost dificila, conectorul ASP cu 560 pini fiind proiectat pentru conectare prin lipire la pcb. Totusi, am reusit sa testam functionalitatea de baza a cartelei (distributia ceasului, functionalitatea FASP, a ADC-urilor etc.) fara a fi necesara dezvoltarea unei cartele de test.

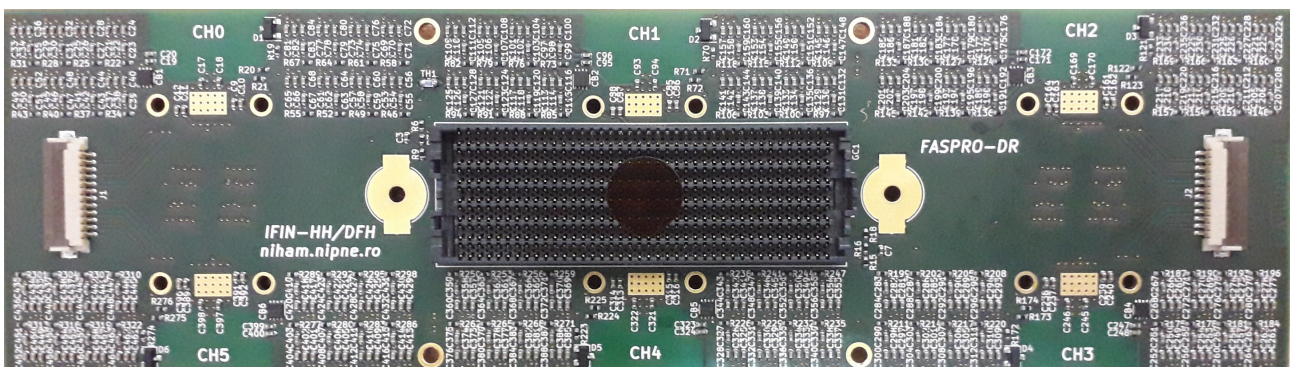


Figura 10: Cartela FASPRO-DR

Cartela FASPRO-DR este una de complexitate ridicata, are 10 straturi, si a fost proiectata in paralel cu cartela de bonding FASP03Bv3/v4. Din acest motiv are „decupajele” in planele de masa din dreptul traseelor de intrare in ASIC-urile FASP. Avand in vedere diagnosticarea ulterioara a problemei privind oscilatia ultimului canalul, precum si evolutia FASP de la versiunea 03 la versiunea 04, o versiune modificata, FASP-DR2, a fost proiectata, tinand seama de experienta acumulata privind traseele de intrare.

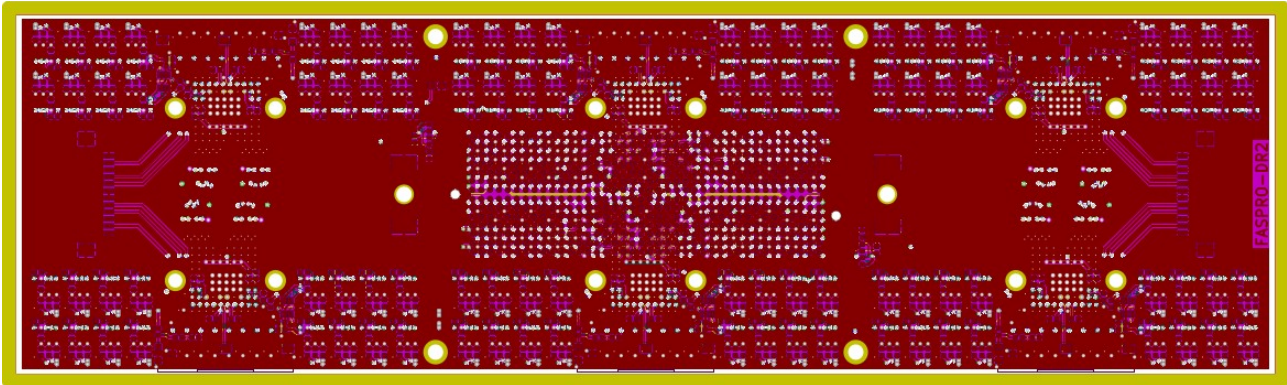


Figura 11: Cartela FASPRO-DR2 - design

7. Cartela GETS („Generic Event Timestamping Streamer”)

Sistemele de achizitie de date de tip „free-running” necesita o componenta digitala semnificativa pentru a realiza functionalitatea urmarita. Aceasta componenta digitala trebuie sa asigure atasarea unei etichete de timp („timestamp”) fiecarei informatii produsa de partea analogica, precum si sincronizarea acestei etichete cu timpul experimentului. Pentru a nu introduce incertitudini in sincronizarea etichetelor de timp, aceste operatiuni trebuie realizate aproape de componenta analogica, transportul acestora la distanta in mod sincron fiind dificil si introducand incertitudini. Din acest motiv, partea digitala a unei achizitii de tip „free-running” trebuie sa fie implementata in acelasi loc cu partea analogica, „pe detector”.

Din motive de complexitate, implementarea partii digitale a unui sistem de achizitie de tip „free-running” este de dorit a fi realizata in circuite programabile de tip FPGA, care permit reprogramarea si, in acest fel, posibilitatea de dezvoltare si corectare a erorilor, precum si adaptarea la cerintele diverselor instalatii experimentale. Totusi, FPGA-urile obisnuite (de tip „RAM”) au o mare sensibilitate la radiatii, ceea ce le face nepotrivite pentru folosirea lor pe detectori plasati in camp de radiatii. Din acest motiv, pentru partea digitala sunt preferate solutii de tip ASIC. Totusi, aceste solutii au cateva dezavantaje majore, intre care amintim costul foarte mare de dezvoltare (ASIC-urile nu pot fi modificate prin programare, ele trebuie reproiectate) si timpul foarte mare de productie (tipic, dureaza ~6 luni fabricarea unui lot de ASIC-uri).

FPGA-ul ZYNQ folosit in vechiul sistem de achizitie nu putea fi folosit pe detector, in consecinta am analizat alte solutii. Din fericire, in perioada 2017-2018, cand evaluam solutiile disponibile, a fost lansata de catre compania Microsemi o noua familie de FPGA-uri, PolarFire [2], de tip FLASH, care, prin constructie, trebuiau sa aiba un comportament mai bun in camp de radiatii decat FPGA-urile obisnuite (de tip RAM). Chiar daca la vremea respectiva existau putine masuratori relevante in acest sens, am estimat ca aceasta familie este adecvata pentru dezvoltarea partii digitale si primele teste (mCBM), urmand ca, in cazul in care ulterior constatam ca nu este o solutie suficient de buna pentru experimentul final (CBM), sa convertim design-ul intr-un ASIC realizat in tehnologia UMC180, pe care colaborarea CBM a gasit-o potrivita, multe componente dezvoltate in cadrul colaborarii fiind realizate in aceasta tehnologie. In acest fel am reusit sa reducem substantial timpul si costurile de dezvoltare a partii digitale.

Avand in vedere ca singura cartela de dezvoltare pentru familia PolarFire disponibila comercial la vremea respectiva nu era adecvata nevoilor noastre, atat din punct de vedere al gabaritului cat si al componentelor, am dezvoltat o noua cartela, GETS, proiectata ca o cartela de dezvoltare pentru sisteme de achizitie de date.

Cartela GETS include 2 FPGA PolarFire MPF100, 1 conector ASP cu 560 pini pentru conectarea partii analogice (FASPRO-DR), un conector Bergstack pentru extensii, 2 conectori pentru module de transmisie de mare viteza de tip FireFly (produsi de Samtec), 1 ADC multicanal, 2 DAC-uri, surse DC-DC in comutatie si liniare atat pentru alimentarea proprie cat si pentru extensii (eg. FASPRO-DR), precum si circuite auxiliare (adaptoare de nivel, amplificatoare operationale pentru citirea senzorilor de temperatura de pe FASPRO-DR, etc.). Este o cartela de mare complexitate, cu 14 straturi.

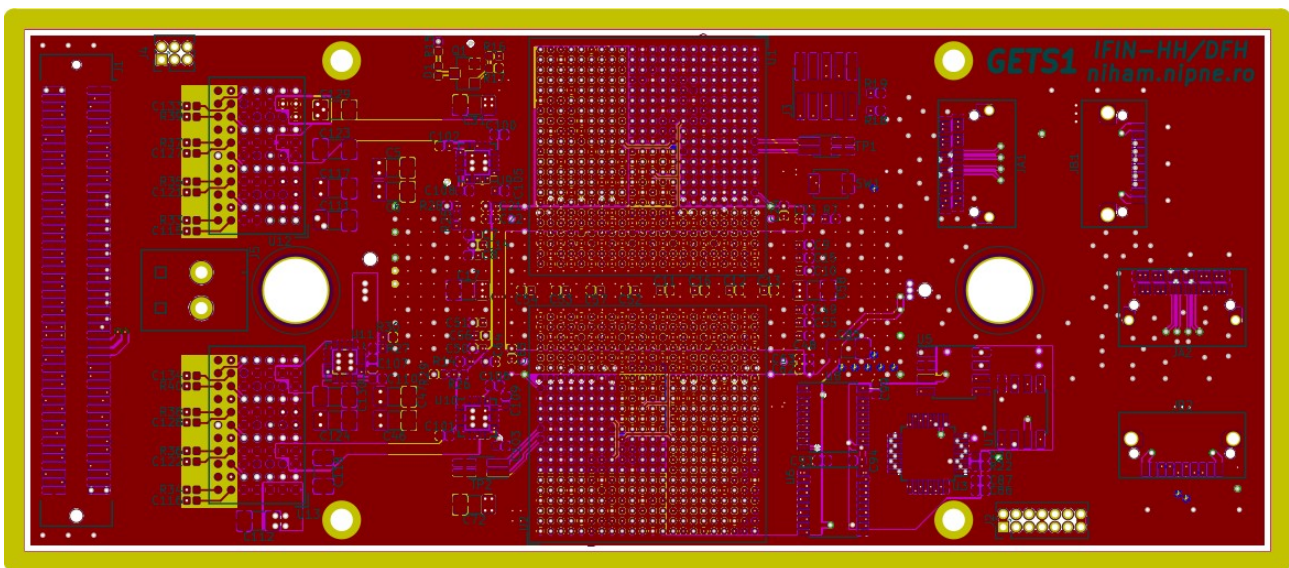


Figura 12: Cartela GETS - design

Spre deosebire de cartela FASPRO-DR, cartela GETS a putut fi testata cu usurinta in configuratie „standalone”, nefiind identificate probleme semnificative. FPGA-urile PolarFire au putut fi programate, cartela FASPRO-DR este alimentata corespunzator, DAC-urile functioneaza corespunzator (in cazul lantului nostru acestea sunt folosite pentru producerea tensiunii de prag pentru FASP).

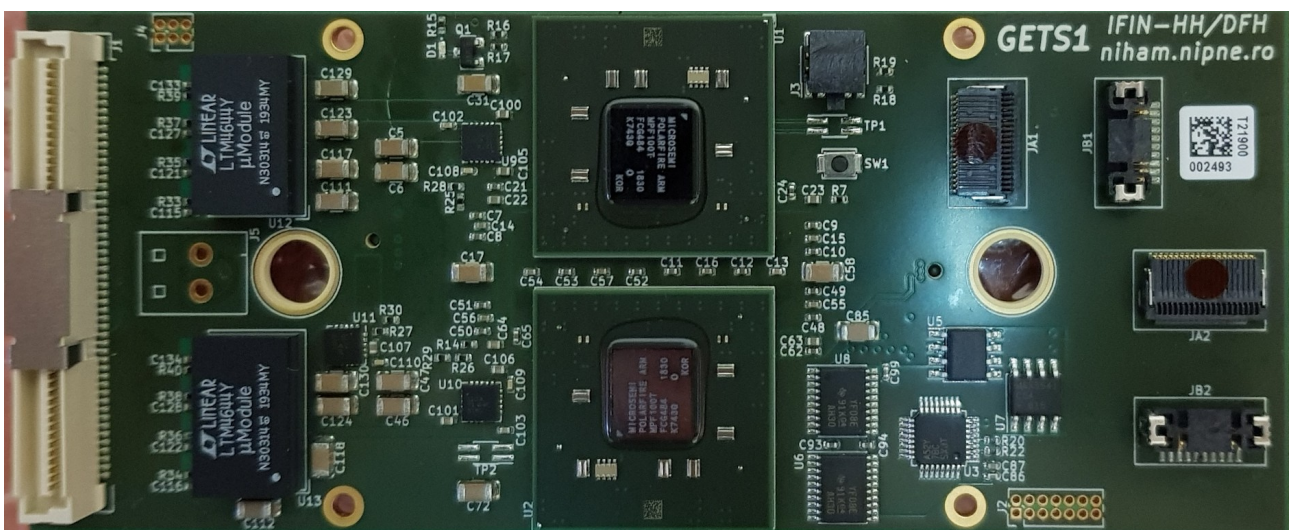


Figura 13: Cartela GETS

Pentru programarea lantului de 2 FPGA-uri PolarFire existente pe cartela GETS a fost folosita interfata JTAG. Datorita spatiului redus disponibil, pe cartela nu a putut fi folosit conectorul JTAG cu pas de 2.54 mm, fiind necesara folosirea unui conector mai mic, cu pas de 1mm. Pentru a putea conecta cartela GETS la programator a fost necesara proiectarea unei cartele de adaptare, G-A-02-JTAG, de mica complexitate (4 straturi). Totusi, aceasta nu este o cartela pasiva, este proiectata pentru a permite „inlantuirea” mai multor cartele GETS la un singur programator, detectand automat prezenta sau absenta acestora si construind „lantul JTAG” adecvat.

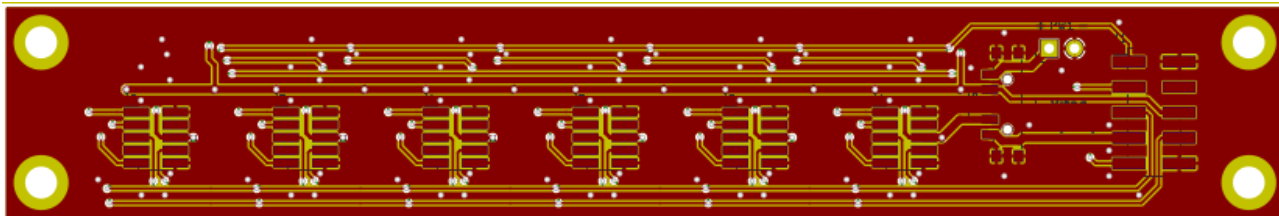


Figura 14: Cartela G-A-02-JTAG - design

In timpul testelor cartelei G-A-02-JTAG o eroare minora de design a fost identificata si a fost corectata, nefiind necesara fabricarea unui nou lot.

8. Conexiunea cu C-ROB

In vederea integrarii in lantul de achizitie in dezvoltare pentru experimentul CBM si instalatia de test mCBM am optat pentru conectarea electronicii dezvoltate la cartela C-ROB [3], dezvoltata de CBM. Aceasta este o cartela de dezvoltare care contine 3 ASIC-uri GBTx precum si interfata pentru modulele optice asociate. Aceste componente au fost dezvoltate la CERN, urmarind obtinerea unei tolerante semnificative la radiatii, suficienta pentru majoritatea utilizarilor in experimentele curente si preconizate in domeniul fizicii energiilor inalte.

Avand in vedere interfata cu 2 conectori FMC ai cartelei C-ROB si necesarul privind largimea de banda, am optat pentru conectarea a maximum 6 cartele GETS la 1 cartela C-ROB, folosind 1 conector FMC al cartelei C-ROB. Folosirea celui de-al 2-lea conector FMC nu ar aduce imbunatatiri semnificative dar ar creste costurile. Fiecare cartela GETS necesita o legatura prin 8 canale diferentiale la cartela C-ROB, majoritatea acestora (6) operand la 320 Mb/s. Din acest motiv a fost necesara alegerea unor conectori si cabluri de legatura capabili sa opereze la aceasta viteza. Din motive de cost, am ales conectori si cabluri de tip SATA.

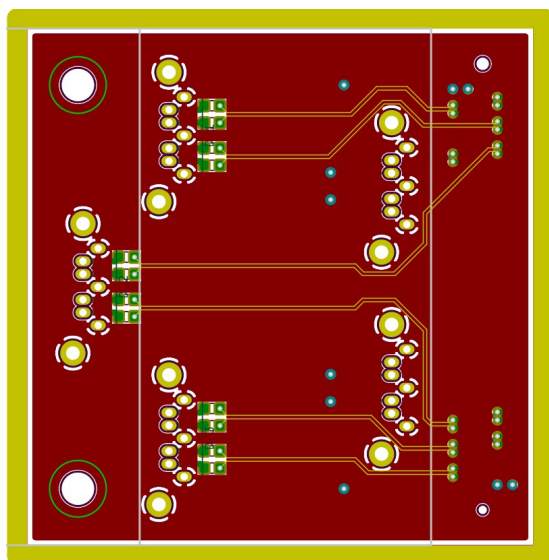


Figura 15: Cartela G-A-01 - design



Figura 16: Cartela G-A-01

Legatura este realizata prin 2 cartele pasive care au fost dezvoltate in acest scop. Cartela G-A-01 realizeaza conexiunea GETS <-> 5 conectori SATA iar cartela CR-A-01 realizeaza conexiunea 27 conectori SATA <-> C-ROB.

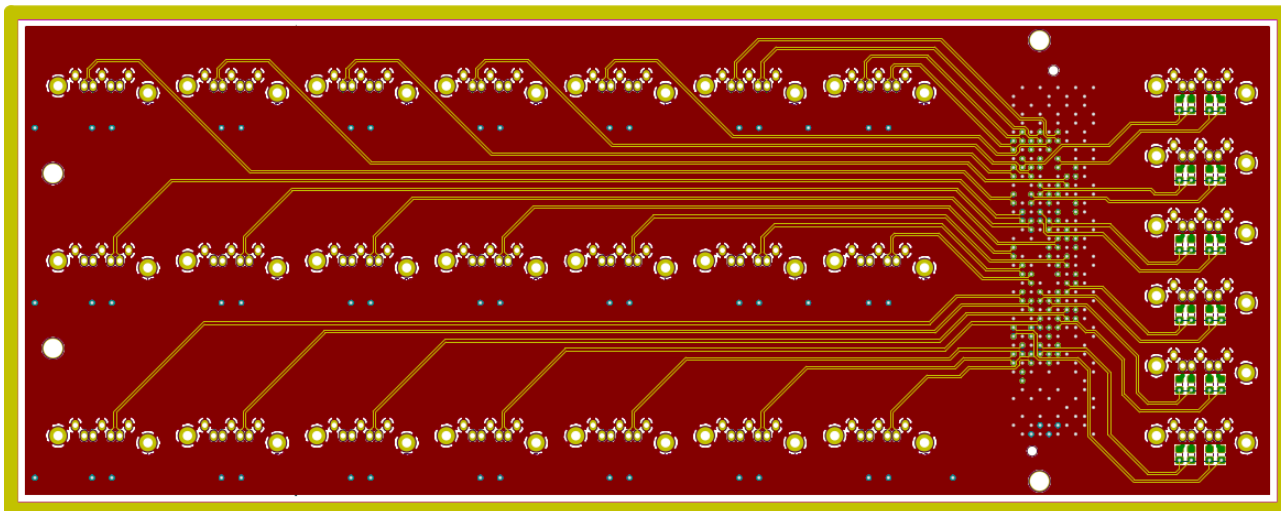


Figura 17: Cartela CR-A-01 - design

Cartelele au fost proiectate cu intentia de a realiza conexiuni de tip AC intre GETS si C-ROB. In teste am observat ca legaturile in directia C-ROB->GETS pot functiona in acest mod, dar o parte din legaturile GETS->C-ROB nu au functionat corespunzator, explicatia gasita fiind aceea ca, datorita numarului mare de conectori de pe cartela CR-A-01, rezistorii utilizati pentru stabilirea nivelului DC adecvat nu pot fi plasati decat foarte departe de intrarile ASIC-urilor GBTx (unde ar trebui sa fie plasati, in mod ideal). In consecinta, pentru a pastra integritatea semnalului, a fost necesara folosirea terminatiilor de 100 ohm atat in GBTx cat si in dreptul conectorilor SATA si in GETS, ceea ce a dus la o amplitudine diferentiala a semnalului la intrarea in GBTx prea mica. Avand in vedere aceste observatii, cartelele au fost modificate pentru o conexiune DC, nefiind nevoie de o reproiectare.



Figura 18: Cartela CR-A-01

Avand conexiunile realizate in modul DC, acestea au fost testate si functioneaza la 320 Mb/s, atat in standardul LVDS cat si in standardul SLVS (preferat de GBTx).

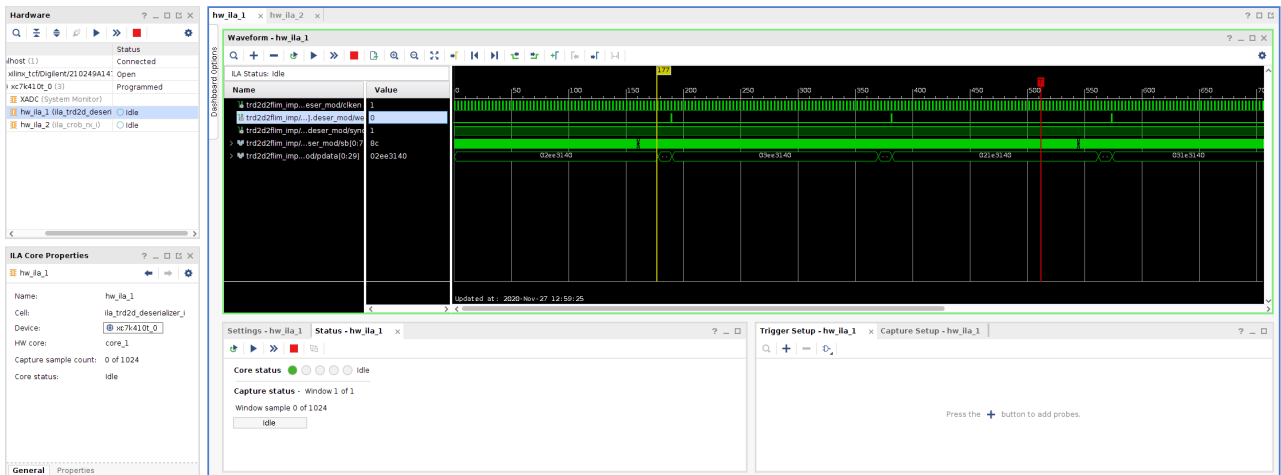


Figura 19: Semnale EOS generate de cartela GETS, receptionate in cartela FLIB de la cartela C-ROB

9. Concluzii

Au fost dezvoltate si testate componente si cartele electronice necesare pentru achizitia de date in modul „free-running” si integrarea in lantul de achizitie mCBM.

Bibliografie

[1] <https://www.cbm.gsi.de/>

[2] <https://www.microsemi.com/product-directory/fpgas/3854-polarfire-fpgas>

[3]

https://indico.cern.ch/event/489996/contributions/2211058/attachments/1344419/2026266/GBTReadout_CBM_TWEPP2016_JLehnert_Final.pdf